

P-2089

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-122154

(43)Date of publication of application : 15.05.1989

(51)Int.Cl.

H01L 27/08

H01L 29/78

(21)Application number : 62-279916

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 05.11.1987

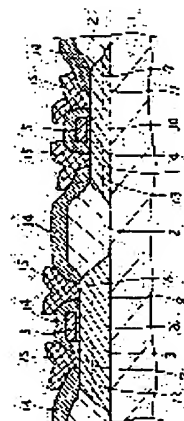
(72)Inventor : YAMAGUCHI YASUO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To reduce leakage currents by back channels both in P channel and N channel by setting the film thickness of a first semiconductor active layer, to which a P channel MOSFET is formed, in thickness thinner than that of a second semiconductor active layer, to which an N channel MOSFET is shaped.

CONSTITUTION: The film thickness of a first semiconductor active layer 4, to which a P channel MOSFET 30 having SOI (silicon-on-insulator) structure is formed, is made thinner than that of a second semiconductor active layer 3 to which an N channel MOSFET 20 is shaped. That is, only the first semiconductor active layer 4 in the P channel MOSFET 30 is made thinner than the N channel MOSFET 20, and an impurity can be introduced to the lower section of a channel region 11. Accordingly, leakage currents by back channels can be reduced both in N channel and P channel MOSFETs.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-122154

⑬ Int. Cl.⁴

H 01 L 27/08
29/78

識別記号

3 3 1
3 1 1

庁内整理番号

E-7735-5F
C-7925-5F

⑭ 公開 平成1年(1989)5月15日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭62-279916

⑰ 出 願 昭62(1987)11月5日

⑱ 発 明 者 山 口 泰 男 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

PチャネルMOSFETを設ける第1の半導体活性層とNチャネルMOSFETを設ける第2の半導体活性層を備え、MOS型電界効果トランジスタを形成した半導体装置において、

前記第1の半導体活性層の膜厚を前記第2の半導体活性層の膜厚よりも薄く設定したことを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明はPチャネルMOSFETを設ける第1の半導体活性層とNチャネルMOSFETを設ける第2の半導体活性層を備え、MOS電界効果トランジスタを形成した半導体装置に関するものであり、特に、バックチャネルによるリーク電流を抑えることができるようにした半導体装置に関するものである。

〔従来の技術〕

第3図は、SOI (Silicon on Insulator) デバイス構造を有する、従来の半導体装置の一例を示す断面図である。以下、この第3図を参照して従来の半導体装置について説明する。

図において、絶縁基板1上には、半導体活性層16と素子分離膜2が設けられる。この素子分離膜2によって、半導体活性層16は隣り合う他の半導体活性層16と電気的に絶縁される。この半導体活性層16上に、NチャネルMOSFET 20では、N型の高濃度の不純物を導入したソース領域6、ドレイン領域7およびP型の低濃度の不純物を導入したチャネル領域8が設けられる。PチャネルMOSFET 30では、NチャネルMOSFET 20とは逆の導電型にしたソース領域9、ドレイン領域10およびチャネル領域11が設けられる。半導体活性層16上には薄い絶縁膜を介してゲート電極5が設けられ、このゲート電極5の電位により、ソース領域6、9からドレイン領域7、10に流れるキャリア数が制御される。ゲ

ート電極5、半導体活性層16、素子分離膜2上の所定の領域には、層間絶縁膜14が設けられ、この層間絶縁膜14の所定の領域にはコンタクトホールが設けられる。この層間絶縁膜14は、その上に設けられる低抵抗の金属で形成される配線15を、ゲート電極5、ソース領域6、9およびドレイン領域7、10から電気的に絶縁するものである。配線層15は、コンタクトホールを介して、ゲート電極5、ソース領域6、9およびドレイン領域7、10を接続する。

このように、ウエハ内にNチャネルMOSFET20とPチャネルMOSFET30の両方を対にして配置した回路はCMOSと呼ばれ、低消費電力である等の特徴を有する。

〔発明が解決しようとする問題点〕

従来の半導体装置は以上のように構成されていたので、次のような問題点が生じていた。すなわち、SOI-MOSFETの場合、チャネル領域8、11の下部に絶縁層1が存在するために、ソース・ドレイン間に電圧を印加したとき、チャネ

ル領域8、11と絶縁層1との界面から電流が漏れるという、バックチャネルによるリーク電流が存在した。このバックチャネルによるリーク電流は、界面での不純物濃度が薄いとときや、p-n接合12、13が界面付近にあるとき（特にNチャネルトランジスタ）に、よく発生する。このように、従来の半導体装置では、バックチャネルによるリーク電流の存在により、高性能のSOI-MOSFETが得られにくかった。

〔問題点を解決するための手段〕

この発明は、PチャネルMOSFETを設ける第1の半導体活性層とNチャネルMOSFETを設ける第2の半導体活性層を備え、MOS型電界効果トランジスタを形成した半導体装置に係るものである。そして、上記第1の半導体活性層の膜厚を上記第2の半導体活性層の膜厚よりも薄く設定したことを特徴とする。

〔作用〕

SOI-MOSFETのバックチャネルによるリーク電流を抑える方法の1つに、半導体活性層

膜厚を厚くしてp-n接合12、13を、絶縁基板1と半導体活性層16との界面より遠ざける方法がある。これは特にNチャネルMOSFET20には有効な方法である。しかしながら、半導体活性層16が3000Å程度より厚くなると、チャネル領域8、11下部にイオン注入する際に、ボロンは下部に到達するが、リンや砒素系では注入エネルギーが非常に大きくなり、普通の注入機では注入が不可能になり、界面付近の不純物濃度が下がる。そのため、PチャネルMOSFET30では、界面付近の不純物濃度の低下が原因の新たなバックチャネルによるリークが発生する。すなわち、NチャネルMOSFETとPチャネルMOSFETの性能向上は、同じ半導体活性層膜厚では、トレードオフになる。

そこで、NチャネルMOSFET20を設定する半導体活性層の膜厚を保持しつつ、PチャネルMOSFET30のチャネル下部にN型不純物を導入するために、PチャネルMOSFETを設ける第1の半導体活性層の膜厚を、NチャネルMO

SFETを設ける第2の半導体活性層の膜厚よりも薄く設定した。このようにすると、Nチャネル、Pチャネル両方のMOSFETのバックチャネルによるリークを低減できる。

〔実施例〕

以下、この発明の一実施例を図について説明する。

第1図はこの発明の一実施例の半導体装置の断面図である。第1図に示す実施例は、以下の点を除いて、第3図に示す従来例と同一であり、相当する部分には同一の参照番号を付し、その説明を省略する。

この実施例では、PチャネルMOSFET30を設ける第1の半導体活性層4の膜厚が、NチャネルMOSFET20を設ける第2の半導体活性層3の膜厚より薄くなっている。

SOI構造のMOSFETでは、半導体活性層下部にも絶縁層との界面が存在し、その界面に沿ってのリーク電流の存在が知られ、その低減は大きな問題である。このバックチャネルによるリー

ク電流は、 $p-n$ 接合12、13を界面に接触させたり、近づけたりするとき（特にNチャネルトランジスタ）や、チャネル領域8、11下部の不純物濃度が少ないときに起こりやすい。このため、まず半導体活性層を $p-n$ 接合深さより厚くする必要がある。たとえば、Nチャネルトランジスタ20の場合、第1半導体活性層3を4000Å程度にすると、 $p-n$ 接合12は、界面に接することなく、またチャネル領域8下部の不純物濃度も多く設定でき、バックチャネルによるリーク電流を低減できる。

しかし、PチャネルMOSFET30では、第1半導体活性層4の膜厚が4000Åになると、チャネル領域11下部にリンや砒素等の不純物を導入するには、200keV以上の注入エネルギーが必要で実用的でない。そこで、PチャネルMOSFET30の第1半導体活性層4だけをNチャネルMOSFET20より薄くして、チャネル領域11下部に不純物を導入できるようにする。ここで、PチャネルMOSFET30の場合、 $p-n$

n 接合13が界面付近に近づいてもNチャネル20の場合と違って、あまり問題にならないことが実験より明らかになっている。このような構造をとることにより、Nチャネル20、PチャネルMOSFET30の両方ともにバックチャネルによるリーク電流の少ない、高性能のSOI-CMOSデバイスを得ることができる。

第2A図、第2B図および第2C図を用いて、このように異なる膜厚の半導体活性層を形成する方法を説明する。

絶縁基板1上に半導体活性層16を形成し、該半導体活性層16上の一部の領域にシリコン窒化膜17を設ける（第2A図）。次いで、このシリコン窒化膜17をマスクとして、選択酸化法（LOCOS）により、熱酸化膜18を形成する（第2B図）。次に、シリコン窒化膜17およびシリコン酸化膜18を除去すると、第2C図に示すような、膜厚の厚い第1半導体活性層3と膜厚の薄い第2半導体活性層4が形成される。このようにしておいてから、第1の半導体活性層4にPチャ

ネルMOSFETを設け、第2半導体活性層3にNチャネルMOSFET20を設け、さらに素子分離膜、ゲート電極、ソース領域、ドレイン領域、チャネル領域、層間絶縁膜、配線層等を形成することにより、第1図に示した半導体装置が得られる。

[発明の効果]

以上のように、この発明によれば、PチャネルMOSFETを設ける第1の半導体活性層の膜厚を、NチャネルMOSFETを設ける第2の半導体活性層の膜厚より薄く設定したので、Nチャネル、Pチャネルともに、バックチャネルによるリーク電流を抑えることができ、高性能のSOI-CMOSデバイスが得られる。

4. 図面の簡単な説明

第1図はこの発明の一実施例による半導体装置の断面図、第2A図、第2B図および第2C図は異なる膜厚の半導体活性層を得る方法を断面図で示した工程図、第3図は従来の半導体装置を示す断面図である。

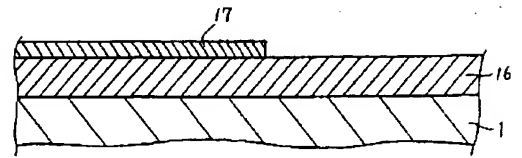
図において、3は第2の半導体活性層、4は第1の半導体活性層、20はNチャネルMOSFET、30はPチャネルMOSFETである。

なお、各図中、同一符号は同一または相当部分を示す。

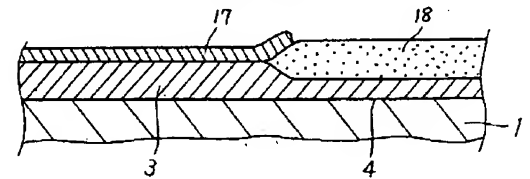
代理人 大 岩 増 雄

特開平1-122154 (4)

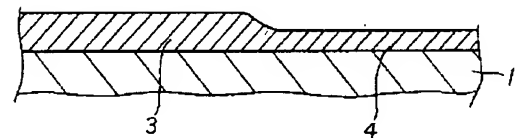
第2A図



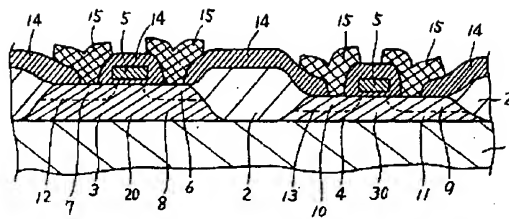
第2B図



第2C図

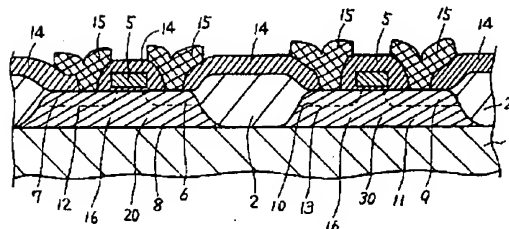


第1図



3: 第2の半導体活性層 20: Nチャネル MOSFET
4: 第1の半導体活性層 30: Pチャネル MOSFET

第3図



手続補正書 (自発)

昭和 63 年 5 月 27 日

特許庁長官殿

1. 事件の表示 特願昭 62-279916 号

2. 発明の名称 半導体装置

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601) 三菱電機株式会社
代表者 志岐守 鋭

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375) 弁理士 大 岩 増 雄
(連絡先 03(213) 3421 特許部)

力 式 (通)

5. 補正の対象

明細書の特許請求の範囲の欄および発明の詳細な説明の欄

6. 補正の内容

(1) 特許請求の範囲を別紙のとおり補正する。

(2) 明細書第4頁第11行～15行の「この発明は、…のである。」を「この発明は、絶縁基板上に設けられた半導体層にMOS型電界効果型トランジスタを形成した半導体装置であり、上記半導体層が、PチャネルMOSFETを形成するための第1の半導体活性層と、NチャネルMOSFETを形成するための第2の半導体活性層を含むものに係るものである。」と訂正する。

以上

2. 特許請求の範囲

絶縁基板上に設けられた半導体層にMOS型電界効果型トランジスタを形成した半導体装置であり、

前記半導体層が、PチャネルMOSFETを形成するための第1の半導体活性層と、NチャネルMOSFETを形成するための第2の半導体活性層とを含むようなものにおいて、

前記第1の半導体活性層の膜厚を前記第2の半導体活性層の膜厚よりも薄く設定したことを特徴とする半導体装置。